

PATENT ABSTRACTS OF JAPAN

(11)Publication number :

2000-148589

(43)Date of publication of application : 30.05.2000

#3

(51)Int.CI.

G06F 12/10

(21)Application number : 10-322561

(71)Applicant : NEC CORP

(22)Date of filing : 12.11.1998

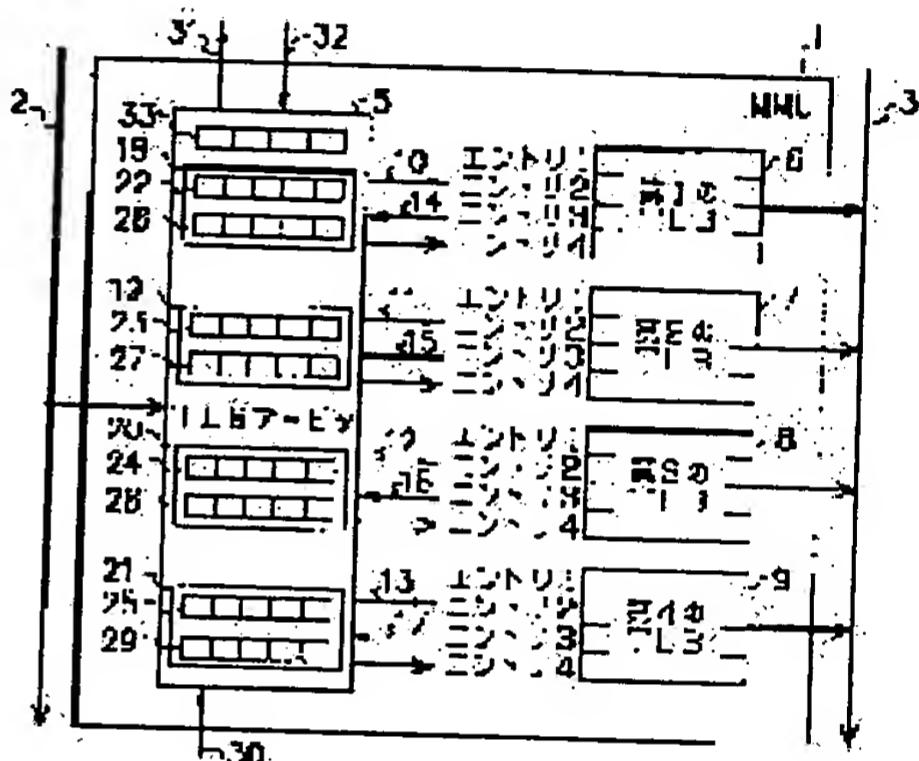
(72)Inventor : SATO KOTARO

(54) MEMORY MANAGEMENT DEVICE, ITS METHOD AND STORAGE MEDIUM STORING PROGRAM

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a memory management device capable of executing TLB conversion by low power consumption.

SOLUTION: A memory management unit(MMU) 1 inputs a virtual address from a virtual address bus 2 and outputs a physical address to a physical address bus 3. The MMU 1 has a TLB arbitor 5 and 1st to 4th TLBs 6 to 9. Each of the TLBs 6 to 9 has four entries. The TLB arbitor 5 selects which TLB out of plural TLBs 6 to 9 is to be used by a circular priority procedure. The selected TLB compares an input virtual address with a stored virtual address, and when both the virtual addresses coincide with each other, outputs its corresponding physical address. Since always only one TLB is driven, power consumption can be reduced.



LEGAL STATUS

[Date of request for examination]

12.11.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]



PatentWeb
Home



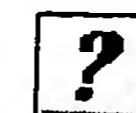
Edit
Search



Return to
Patent List



Back to
Record



Help

MicroPatent® Worldwide PatSearch: Record 2 of 4

Family of JP2000148589 [How It Works](#)

Family of JP2000148589

No additional family members are found for this document



PatentWeb
Home



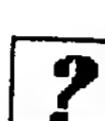
Edit
Search



Return to
Patent List



Back to
Record



Help

For further information, please contact:
[Technical Support](#) | [Billing](#) | [Sales](#) | [General Information](#)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-148589

(P2000-148589A)

(43)公開日 平成12年5月30日(2000.5.30)

(51)Int.Cl.

G 06 F 12/10

識別記号

F I

G 06 F 12/10

テーマコード(参考)

C 5 B 0 0 5

審査請求 有 請求項の数12 OL (全 7 頁)

(21)出願番号

特願平10-322561

(22)出願日

平成10年11月12日(1998.11.12)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 佐藤 浩太郎

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100084250

弁理士 丸山 隆夫

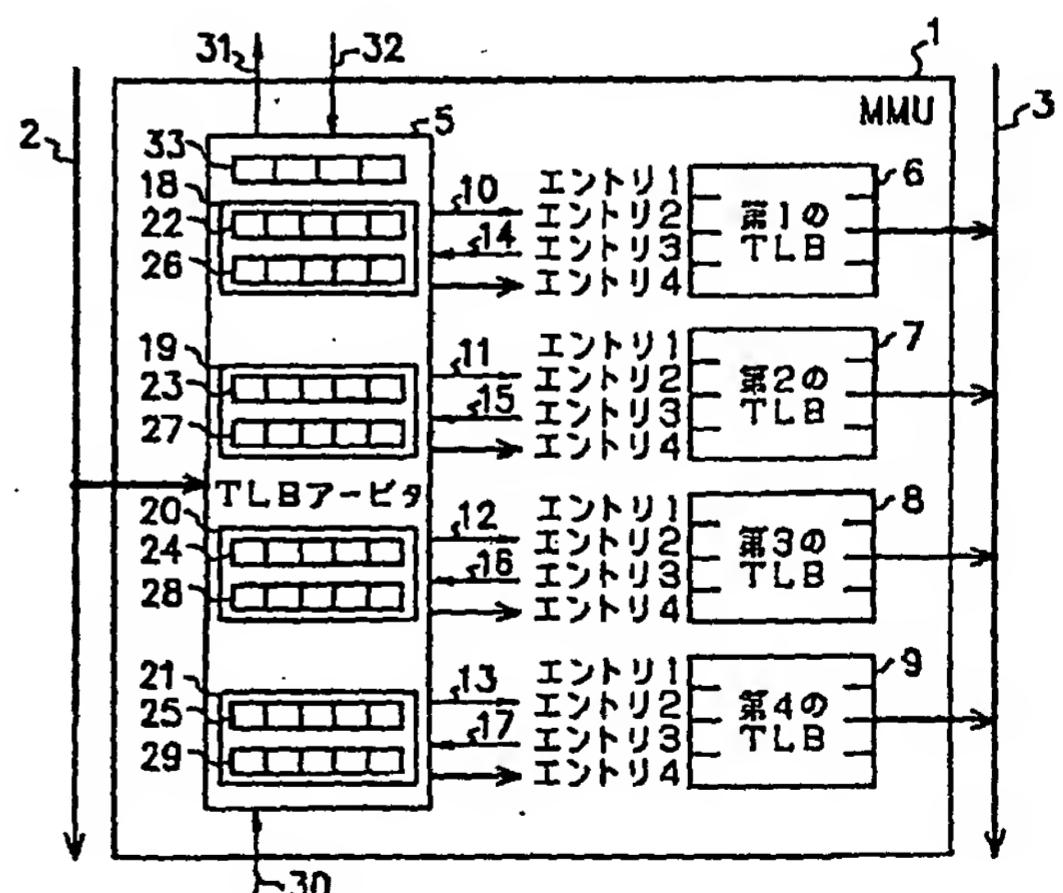
Fターム(参考) 5B005 JJ00 MM52

(54)【発明の名称】 メモリ管理装置、方法及びプログラムを記憶した記憶媒体

(57)【要約】

【課題】 低消費電力でTLB変換できるメモリ管理装置を得る。

【解決手段】 メモリ管理ユニット(MMU)1は、仮想アドレスバス2から仮想アドレスを入力し、物理アドレスバス3に物理アドレスを出力する。MMU1は、TLBアービタ5及び第1~4のTLB6~9を有する。TLB6~9は、それぞれ4つのエントリを持つ。TLBアービタ5は、TLB6~9の内、どれを使用するのかを巡回優先順位方式で選択する。選択されたTLBにおいては、入力仮想アドレスと格納された仮想アドレスとを比較し、一致したとき対応する物理アドレスを出力する。従って、常に1つのTLBしか動作しないので、低消費電力を実現できる。



【特許請求の範囲】

【請求項1】 仮想アドレスと物理アドレスとを格納する格納手段と、

入力される仮想アドレスと前記格納手段により格納されたアドレスとを比較する比較手段と、

前記両アドレスが一致したとき前記格納手段により格納された物理アドレスから対応する物理アドレスを出力する出力手段とをそれぞれ含んで成る複数のTLB部と、該複数のTLB部の1つを選択して動作させる制御手段とを有することを特徴とするメモリ管理装置。

【請求項2】 前記制御手段は、前記複数のTLB部を巡回的に動作させることを特徴とする請求項1記載のメモリ管理装置。

【請求項3】 前記制御手段は、特定の1つのTLB部を動作させることを特徴とする請求項1記載のメモリ管理装置。

【請求項4】 前記制御手段は、前記複数のTLB部の巡回の順番を変更できることを特徴とする請求項2記載のメモリ管理装置。

【請求項5】 複数のTLB部の1つを選択して動作させ、その選択したTLB部において、入力される仮想アドレスと格納されたアドレスとを比較し、両アドレスが一致したとき格納された物理アドレスから対応する物理アドレスを出力することを特徴とするメモリ管理方法。

【請求項6】 前記複数のTLB部を巡回的に動作させることを特徴とする請求項5記載のメモリ管理方法。

【請求項7】 前記複数のTLB部のうち特定の1つのTLB部を選択して動作させることを特徴とする請求項5記載のメモリ管理方法。

【請求項8】 前記複数のTLB部の巡回の順番を変更することを特徴とする請求項6記載のメモリ管理方法。

【請求項9】 複数のTLB部の1つを選択して動作させる処理と、

前記選択したTLB部において、入力される仮想アドレスと格納されたアドレスとを比較する処理と、

前記両アドレスが一致したとき格納された物理アドレスから対応する物理アドレスを出力する処理とを実行するためのプログラムを記憶した記憶媒体。

【請求項10】 前記複数のTLB部を巡回的に動作させることを特徴とする請求項9記載のプログラムを記憶した記憶媒体。

【請求項11】 前記複数のTLB部のうち特定の1つのTLB部を選択して動作させることを特徴とする請求項9記載のプログラムを記憶した記憶媒体。

【請求項12】 前記複数のTLB部の巡回の順番を変更することを特徴とする請求項10記載のプログラムを記憶した記憶媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、仮想アドレスを物

理アドレスに変換するTLB変換を行うメモリ管理装置、方法及びこれに用いられるプログラムを記憶した記憶媒体に関するものである。

【0002】

【従来の技術】 従来では、図6に示すように、MMU(メモリ管理ユニット)内部には、4エントリ程度のJTLBと、64～128エントリのMTLBとがある。アドレス変換を行うときには、MTLBの64～128エントリのすべてで仮想アドレスの比較を行っていた。さらに、エントリ数の少ないJTLBで、ミスヒットが発生した場合、MTLBのエントリ全てを比較し、目的のアドレスが格納されているエントリをJTLBにコピーしてから、再度アドレス変換を行うという動作が必要であった。なお、本発明に関する従来技術として、例えば特開平4-328656号公報、特開平9-161488号公報、特開平10-111832号公報、特公平6-100987号公報の各公報に開示された技術がある。

【0003】

【発明が解決しようとする課題】 しかし、従来の方法では、低消費電力化できないという問題があった。その理由は、仮想アドレスを比較する際に、すべてのTLBエントリと比較してしまうからである。

【0004】 本発明は、上記の問題を解決するために成されたもので、分割した小TLBを複数もつ、TLB変換方式を提供するものである。

【0005】

【課題を解決するための手段】 上記の目的を達成するために、本発明によるメモリ管理装置においては、仮想アドレスと物理アドレスとを格納する格納手段と、入力される仮想アドレスと上記格納されたアドレスとを比較する比較手段と、上記両アドレスが一致したとき上記格納された物理アドレスから対応する物理アドレスを出力する出力手段とをそれぞれ含んで成る複数のTLB部と、上記複数のTLB部の1つを選択して動作させる制御手段とを設けている。

【0006】 また、本発明によるメモリ管理方法においては、複数のTLB部の1つを選択して動作させ、その選択したTLB部において、入力される仮想アドレスと格納されたアドレスとを比較し、両アドレスが一致したとき格納された物理アドレスから対応する物理アドレスを出力するようにしている。

【0007】 また、本発明による記憶媒体においては、複数のTLB部の1つを選択して動作させる処理と、上記選択したTLB部において、入力される仮想アドレスと格納されたアドレスとを比較する処理と、上記両アドレスが一致したとき格納された物理アドレスから対応する物理アドレスを出力する処理とを実行するためのプログラムを記憶している。

【0008】 さらに、上記メモリ管理装置、方法及び記

憶媒体において、上記複数のTLB部を巡回的に動作させるようにしてもよく、あるいは特定の1つのTLB部を選択して動作させるようにしてもよい。また、巡回的に動作させる場合、その巡回の順番を変更するようにしてもよい。

【0009】

【発明の実施の形態】以下、本発明の第1及び第2の実施形態を図面と共に説明する。各実施形態は、TLBエントリを小分割し、どの小TLBをアドレス変換に使用するのかを、TLBアービタが巡回優先順位方式又は分岐予測方式で管理することを特徴とする。

【0010】図1は本発明の第1の実施形態を示すブロック図である。図1において、TLBアービタ5は、MMU1に入力される仮想アドレス2を巡回優先順位方式で第1のTLB6、第2のTLB7、第3のTLB8、第4のTLB9の内、どれを変換バッファとして使うかを選択する。

【0011】メモリ管理ユニット(MMU)1は、仮想アドレスバス2から仮想アドレスを入力し、物理アドレスバス3に物理アドレスを出力する機能を有している。MMU1は、TLBアービタ5及び第1のTLB6、第2のTLB7、第3のTLB8、第4のTLB9を有する。TLB6～9は、それぞれ4つのエントリを持つ。TLBアービタ5は、TLB6～9の内、どれを使用するのかを巡回優先順位方式で決定する。

【0012】決定した後、TLB6～9にはTLB変換許可信号10～13がアサートされる。TLB変換が行われた後、TLB変換カウント信号14～17がアサートされ、TLB通常変換カウント値レジスタ22～25のカウントがアップする。なお、レジスタ26～29は、後述する第2の実施形態による分岐予測方式を行うときに用いられる。

【0013】TLBカウントユニット初期化信号30がアサートされると、TLB通常変換カウント値レジスタ22～25、及びTLB分岐変換カウントレジスタ26～29のカウント値が0に初期化される。仮想アドレスバス2から入力された仮想アドレスが、TLB6～9のいずれの仮想アドレス格納メモリの値と一致しない場合には、TLBミスヒット信号31がアサートされる。

【0014】タスク切替信号32は、オペレーティングシステムによって、アドレス空間IDが切り替えられたときにアサートされる。レジスタ33は、TLB6～9の内、どのTLBで変換を行っているときにタスク切替信号32がアサートされたのかの番号を示しているレジスタである。番号はTLB6が1、TLB7が2、TLB8が3、TLB9が4に対応している。

【0015】レジスタ33は、タスク切替信号32によって、1ずつ加算される。本実施形態では、TLB6～9の4つが示されているので、3ビットのレジスタで構成されており、レジスタの値が4(すなわち3'b10

0)になったときに、タスク切替信号32がアサートされると、レジスタの値は1に戻る。レジスタ33の初期値は1になっている。

【0016】図2は、第1のTLB6の構成である。1つのエントリには、仮想アドレスバス2から仮想アドレスが入力され、物理アドレスバス3に物理アドレスが出力される。1つのエントリは、仮想アドレス比較器101、物理アドレス出力バッファ103、仮想アドレス格納メモリ104、物理アドレス格納メモリ105、論理積回路106で構成される。以下、エントリ2～4も同じ構成である。

【0017】さらに、各エントリ1～4からは、物理アドレス出力許可信号108～111が出力されている。エンコーダ107は、物理アドレス出力許可信号108～111の内、いずれか1つがアサートされたときにのみ、TLB変換カウント信号14をアサートする。また、エンコーダ107は、物理アドレス出力許可信号108～111の内、複数のTLB変換許可信号がアサートされているときや、どのTLB変換許可信号もアサートされていないときには、TLB変換カウント信号14をネゲートする。

【0018】仮想アドレスバス2から入力された仮想アドレスと、仮想アドレス格納メモリ104の値とが等しいときは、ヒット信号102がアサートされて、物理アドレス出力バッファ103から物理アドレスバス3に物理アドレスが出力される。TLB変換許可信号10がアサートされていないときには、論理積回路106からの出力がネゲートされるので、物理アドレス出力バッファ103からの物理アドレスの出力はない。なお、上記説明では、第1のTLB6について述べたが、TLB7～9についても同じ構成及び動作である。

【0019】次に、図1の回路の動作について、図1、図2、図3、図4を参照しながら説明する。図3、図4は図1、図2の回路の動作を示すフローチャートである。MMU1を使用するための前処理として、オペレーティングシステムは、システム起動時に、TLB6～9内の仮想アドレス格納メモリ104には仮想アドレスを、物理アドレス格納メモリ105には物理アドレスを登録する処理を行う。

【0020】TLB変換を開始すると、TLBアービタ5は、TLB変換許可信号1(10)をアサートする(ステップA1)。これで、TLB6は変換可能状態となり、TLB変換処理を行う(ステップA2)。第1のTLB6は、TLB変換許可信号1(10)がアサートされると、入力された仮想アドレスと、仮想アドレス格納メモリ104に格納されている値が等しいかどうかの判定を、仮想アドレス比較器101にて行い(ステップA3)、等しい場合には、ヒット信号102がアサートされ、等しくない場合には、ヒット信号102はアサートされない(ステップA4)。

【0021】ヒット信号102がアサートされていれば、TLB6は、物理アドレスを出力し、且つ物理アドレス出力許可信号108をアサートするので、エンコーダ107はTLB変換カウント信号1(14)をアサートし、TLB変換カウントユニット1(18)は、TLB変換通常カウント値レジスタ1(22)に保存されている値をカウントアップする(ステップA5)。

【0022】ヒット信号102が4つのエントリでどれもアサートされなければ、TLB変換カウント信号1(14)はアサートされないので、TLB変換通常カウント値レジスタ1(22)に保存されている値は変化せず、TLBアービタ5は、TLB変換許可信号1(10)をネゲートし、TLB変換許可信号2(11)をアサートする(ステップB1)。

【0023】TLB変換許可信号2(11)がアサートされると、TLB7は変換可能状態となり、TLB変換処理を行う(ステップB2)。第2のTLB7は、TLB変換許可信号2(11)がアサートされると、入力された仮想アドレスと、仮想アドレス格納メモリに格納されている値が等しいかどうかの判定を、仮想アドレス比較器にて行い(ステップB3)、等しい場合には、ヒット信号がアサートされ、等しくない場合には、ヒット信号はアサートされない(ステップB4)。

【0024】ヒット信号がアサートされれば、TLB7は、物理アドレスを出力し、且つ物理アドレス出力許可信号をアサートするので、エンコーダはTLB変換カウント信号2(15)をアサートし、TLB変換カウントユニット2(19)は、TLB変換通常カウント値レジスタ2(23)に保存されている値をカウントアップする。(ステップB5)。ヒット信号が4つのエントリでどれもアサートされなければ、TLB変換カウント信号2(15)はアサートされないので、TLB変換通常カウント値レジスタ2(23)に保存されている値は変化せず、TLBアービタ5は、TLB変換許可信号2(11)をネゲートし、TLB変換許可信号3(12)をアサートする(ステップC1)。

【0025】TLB変換許可信号3(12)がアサートされると、TLB8は変換可能状態となり、TLB変換処理を行う(ステップC2)。第2のTLB8は、TLB変換許可信号3(12)がアサートされると、入力された仮想アドレスと、仮想アドレス格納メモリに格納されている値が等しいかどうかの判定を、仮想アドレス比較器にて行い(ステップC3)、等しい場合には、ヒット信号がアサートされ、等しくない場合には、ヒット信号はアサートされない(ステップC4)。

【0026】ヒット信号がアサートされれば、TLB8は、物理アドレスを出力し、且つ物理アドレス出力許可信号をアサートするので、エンコーダはTLB変換カウント信号3(16)をアサートし、TLB変換カウントユニット3(20)は、TLB変換通常カウント値

レジスタ3(24)に保存されている値をカウントアップする(ステップC5)。

【0027】ヒット信号が4つのエントリでどれもアサートされなければ、TLB変換カウント信号3(16)はアサートされないので、TLB変換通常カウント値レジスタ3(24)に保存されている値は変化せず、TLBアービタ5は、TLB変換許可信号3(12)をネゲートし、TLB変換許可信号4(13)をアサートする(ステップD1)。

【0028】TLB変換許可信号4(13)がアサートされると、TLB9は変換可能状態となり、TLB変換処理を行う(ステップD2)。第2のTLB9は、TLB変換許可信号4(13)がアサートされると、入力された仮想アドレスと、仮想アドレス格納メモリに格納されている値が等しいかどうかの判定を、仮想アドレス比較器にて行い(ステップD3)、等しい場合には、ヒット信号がアサートされ、等しくない場合には、ヒット信号はアサートされない(ステップD4)。

【0029】ヒット信号がアサートされれば、TLB9は、物理アドレスを出力し、且つ物理アドレス出力許可信号をアサートするので、エンコーダはTLB変換カウント信号4(17)をアサートし、TLB変換カウントユニット4(21)は、TLB変換通常カウント値レジスタ4(25)に保存されている値をカウントアップする(ステップD5)。

【0030】ヒット信号が4つのエントリでどれもアサートされなければ、TLB変換カウント信号4(17)はアサートされないので、TLB変換通常カウント値レジスタ4(25)に保存されている値は変化せず、TLBアービタ5は、TLB変換許可信号4(13)をネゲートし、TLBミスヒット信号31をアサートする。

【0031】TLBカウントユニット初期化信号30は、TLB変換許可信号10～13がアサートされている、いよいよ開始され、常にアサートすることができ、アサートによって、TLB通常変換カウント値レジスタ22～25をすべて0に初期化する。

【0032】オペレーティングシステムによって、アドレス空間IDが切り替えられたときには、タスク切替信号32がアサートされ、レジスタ33の値が1だけ加算される。もし、レジスタ33の値が4(3'b100)ならば、レジスタ33の値は1に戻る。例えば、レジスタ33の値が2のとき、すなわち、TLB7にてTLB変換を行っている時に、タスク切替信号32がアサートされたときには、レジスタ33の値は3になり、これ以後、TLB8→TLB9→TLB6→TLB7という順番にてTLB変換を行う。

【0033】これらをまとめると、レジスタ33の値が1のときには、TLB6→TLB7→TLB8→TLB9、レジスタ33の値が2のときには、TLB7→TLB8→TLB9→TLB6、レジスタ33の値が3のと

きには、TLB8→TLB9→TLB6→TLB7、レジスタ33の値が4のときには、TLB9→TLB6→TLB7→TLB8、というようにTLB変換を行う順番を変化させていく。

【0034】次に、本発明の第2の実施形態について、図5を参照して説明する。本実施形態においては、分岐アドレス変換要求信号4が追加されている。分岐アドレス変換要求信号4は、TLB変換を行う命令が分岐命令(jmp等)であったときにアサートされる。

【0035】分岐アドレス変換要求信号4がアサートされると、TLB通常変換カウント値レジスタ22～25の代わりに、TLB分岐変換カウント値レジスタ26～29が使われるよう、TLB変換カウントユニット18～21は制御を行う。TLB変換カウント信号14～17がアサートされると、TLB分岐変換カウント値レジスタ26～29の値は1加算される。

【0036】さらに、タスク切替信号32と同時に、分岐アドレス変換要求信号4がアサートされると、TLBアービタ5はTLB分岐変換カウント値レジスタ26～29の内、一番カウント値が大きいところのTLBに対してTLB変換要求信号をアサートする。例えば、TLB分岐変換カウント値レジスタ26～29の内、一番カウント値が大きいのが、TLB分岐変換カウント値レジスタ27だったとすれば、TLB変換要求信号2(11)がアサートされ、TLB7→TLB8→TLB9→TLB6の順でTLB変換が行われることになる。

【0037】これにより、分岐命令に使われるTLBを限定できるので、特定の分岐先が多いプログラムを実行させるときには、特定のTLBに分岐命令で使用する仮想アドレス、物理アドレスを格納すればよいという特徴を持つ。

【0038】以上述べた本発明の各実施の形態によれば、仮想アドレスを比較する回数が少なくて済むと共に、常に一つのTLBのみを動作させて、低消費電力で動作が可能になる。

【0039】次に、前述した従来の技術で例示した各公報における技術と、本発明とを比較する。まず、上記特開平4-328656号公報には、キャッシュのセンスアンプの消費電力を削減することについて記載されている。しかし、本発明はセンスアンプのオン・オフにより低消費電力化を狙うものではない。本発明においては、TLBでは、一度タグメモリを比較すると、そのタグを比較し続けるという「局所性」を持っている。この局所性により、上記公報の技術を行わなくても低消費電力化を実現できてしまうことになる。また、本発明は、センスアンプのないタイプ、即ち、全てのTLBをゲートアレイで構成する場合にも適用することができる。

【0040】また、上記特開平9-161488号公報は、CAMメモリを複数のブロックに分割し、さらに対応する複数の比較部を並列動作させることにより、比較

部の回路規模を小さくするというものである。これに対して本発明は、複数の比較部が同時に動作するのではなく、常に一つの小TLBのみを動作させることによって、低消費電力化を実現するものである。

【0041】また、上記特開平10-111832号公報は、タグメモリを大小に分割して、大タグメモリをアクセスする回数を減らすというものである。これに対して本発明は、タグメモリを分割するものではない。また、上記公報のようにNウェイのセットアソシティブ方式ではない。

【0042】また、上記特公平6-100987号公報は、アドレス変換バッファを分割する/しないモードを設け、分割モードでは、特定の領域をOSのアドレス変換専用に割り当てるというものである。これに対して本発明は、上記分割する/しないモードは存在しない。さらに、特定の領域をOS専用にするのではなく、アドレス変換の頻度が多いものを小TLBに割り当てておくことにより、アドレス比較対象が減り、消費電力化を実現することができる。

【0043】なお、図1、図5の構成を、CPUやメモリから成るコンピュータシステムで制御する場合、上記メモリは本発明による記憶媒体を構成する。この記憶媒体には、図3、図4のフローチャートによる処理を実行するためのプログラムが格納される。この記憶媒体としては、半導体メモリ、光ディスク、光磁気ディスク、磁気媒体等を用いることができる。

【0044】

【発明の効果】以上の説明より明らかのように、本発明のメモリ管理装置、方法及びプログラムを記憶した記憶媒体によれば、仮想アドレスを比較する回数を少なくすることができる。その理由は、常に同時に仮想アドレスを比較するのは、実施の形態の場合たかだか4つにすぎないからである。

【0045】また、本発明のメモリ管理装置、方法及びプログラムを記憶した記憶媒体によれば、低消費電力での動作が可能になる。その理由は、一つのTLBが変換処理中であるときには、そのほかのTLBは変換処理を行わないためである。

【図面の簡単な説明】

【図1】本発明の第1の実施形態を示すブロック図である。

【図2】図1のTLBの部分の詳細な構成を示すブロック図である。

【図3】TLBアービタ5、及びTLB6～9の動作を示すフローチャートである。

【図4】図3の第1～第4のTLBの変換処理の詳細な構成を示すブロック図である。

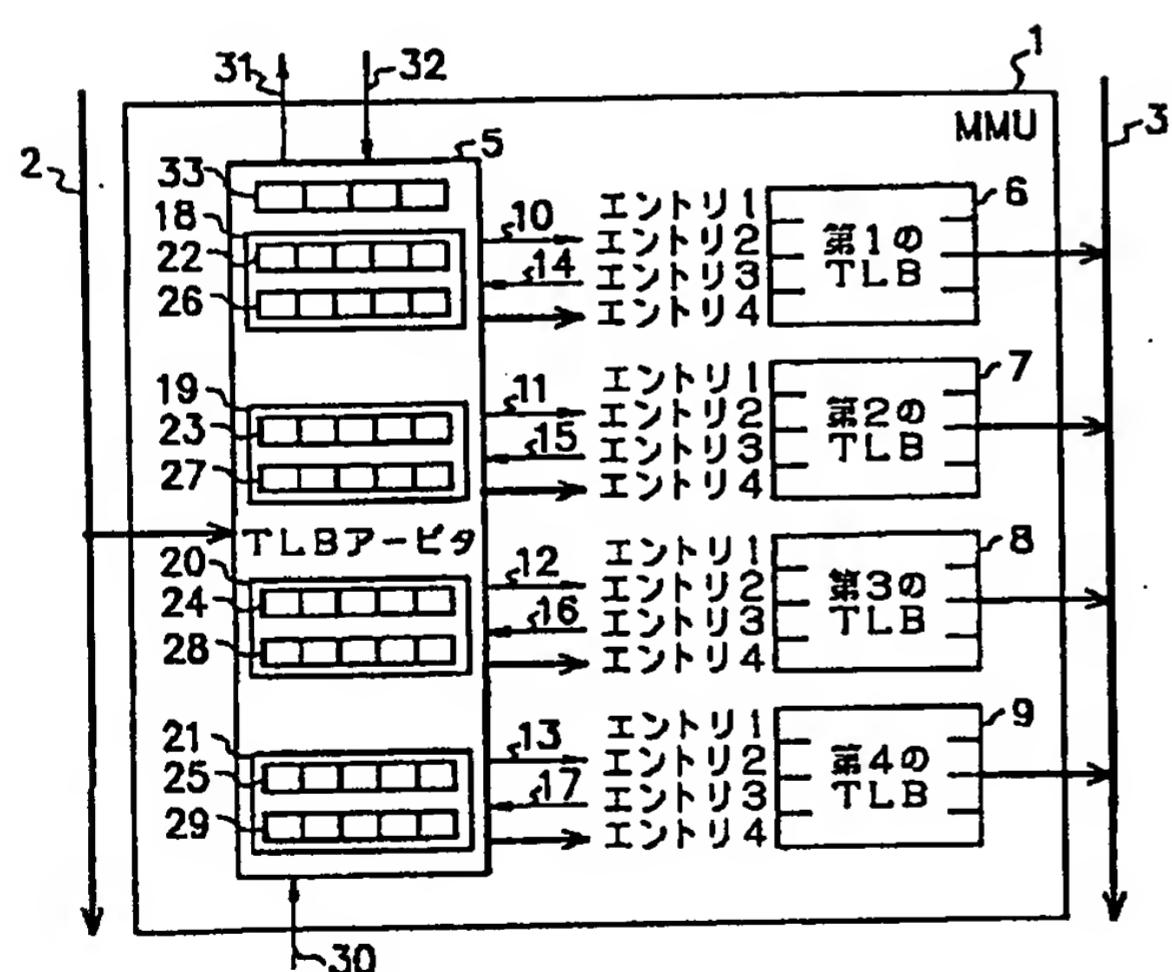
【図5】本発明の第2の実施形態を示すブロック図である。

【図6】従来例を示すブロック図である。

【符号の説明】

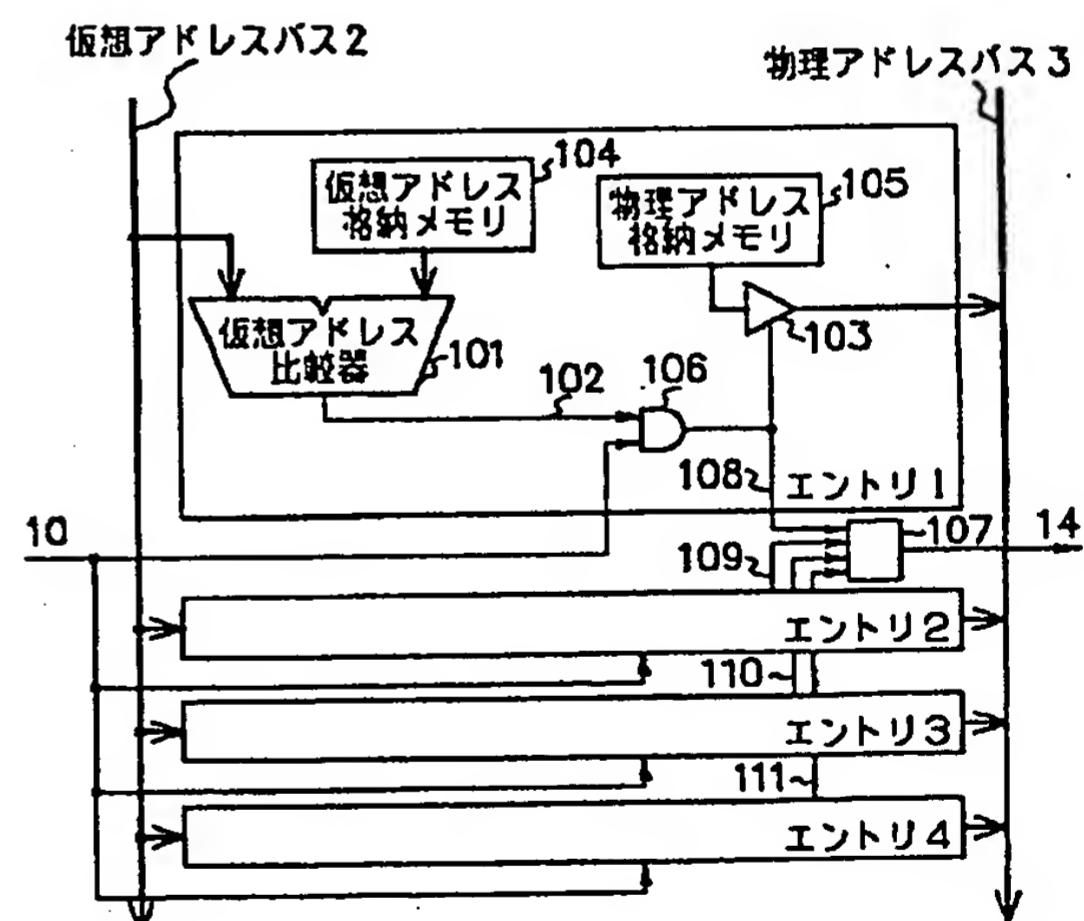
- 1 MMU
- 2 仮想アドレスバス
- 3 物理アドレスバス
- 4 分岐アドレス変換要求信号
- 5 TLBアービタ
- 6 第1のTLB
- 7 第2のTLB
- 8 第3のTLB
- 9 第4のTLB
- 10 TLB変換許可信号1
- 11 TLB変換許可信号2
- 12 TLB変換許可信号3
- 13 TLB変換許可信号4
- 14 TLB変換カウント信号1
- 15 TLB変換カウント信号2
- 16 TLB変換カウント信号3
- 17 TLB変換カウント信号4
- 18 TLB変換カウントユニット1
- 19 TLB変換カウントユニット2
- 20 TLB変換カウントユニット3

【図1】

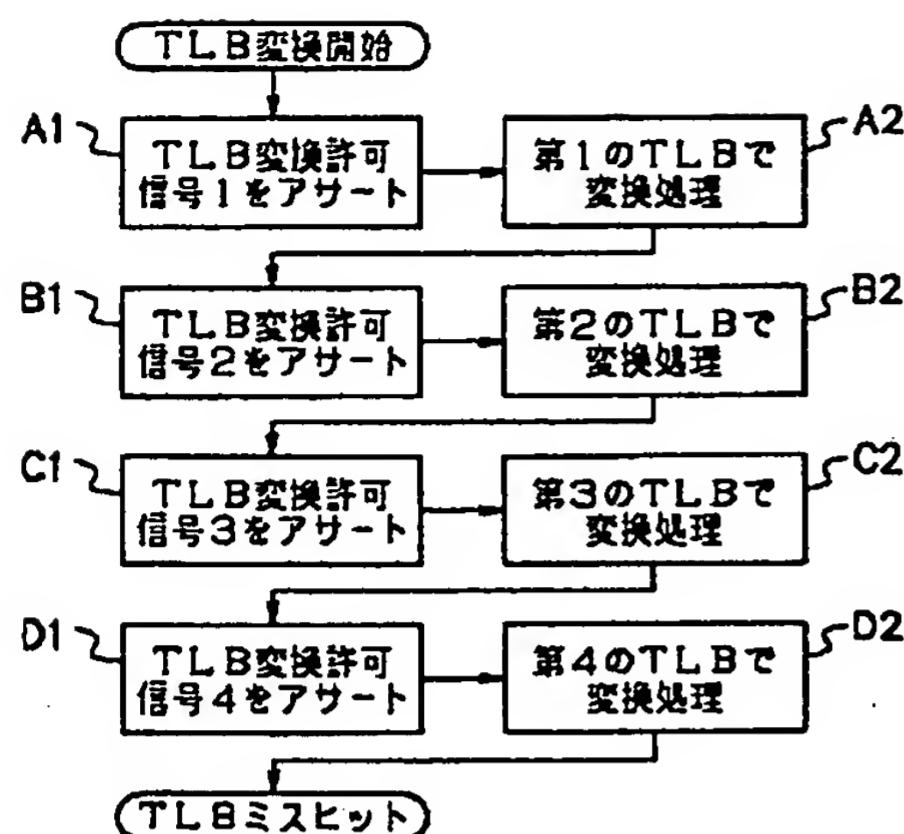


- 21 TLB変換カウントユニット4
- 22 TLB通常変換カウント値レジスタ1
- 23 TLB通常変換カウント値レジスタ2
- 24 TLB通常変換カウント値レジスタ3
- 25 TLB通常変換カウント値レジスタ4
- 26 TLB分岐変換カウント値レジスタ1
- 27 TLB分岐変換カウント値レジスタ2
- 28 TLB分岐変換カウント値レジスタ3
- 29 TLB分岐変換カウント値レジスタ4
- 30 TLBカウントユニット初期化信号
- 31 TLBミスヒット信号
- 32 タスク切替信号
- 33 レジスタ
- 101 仮想アドレス比較器
- 102 ヒット信号
- 103 物理アドレス出力バッファ
- 104 仮想アドレス格納メモリ
- 105 物理アドレス格納メモリ
- 106 論理積回路
- 107 エンコーダ

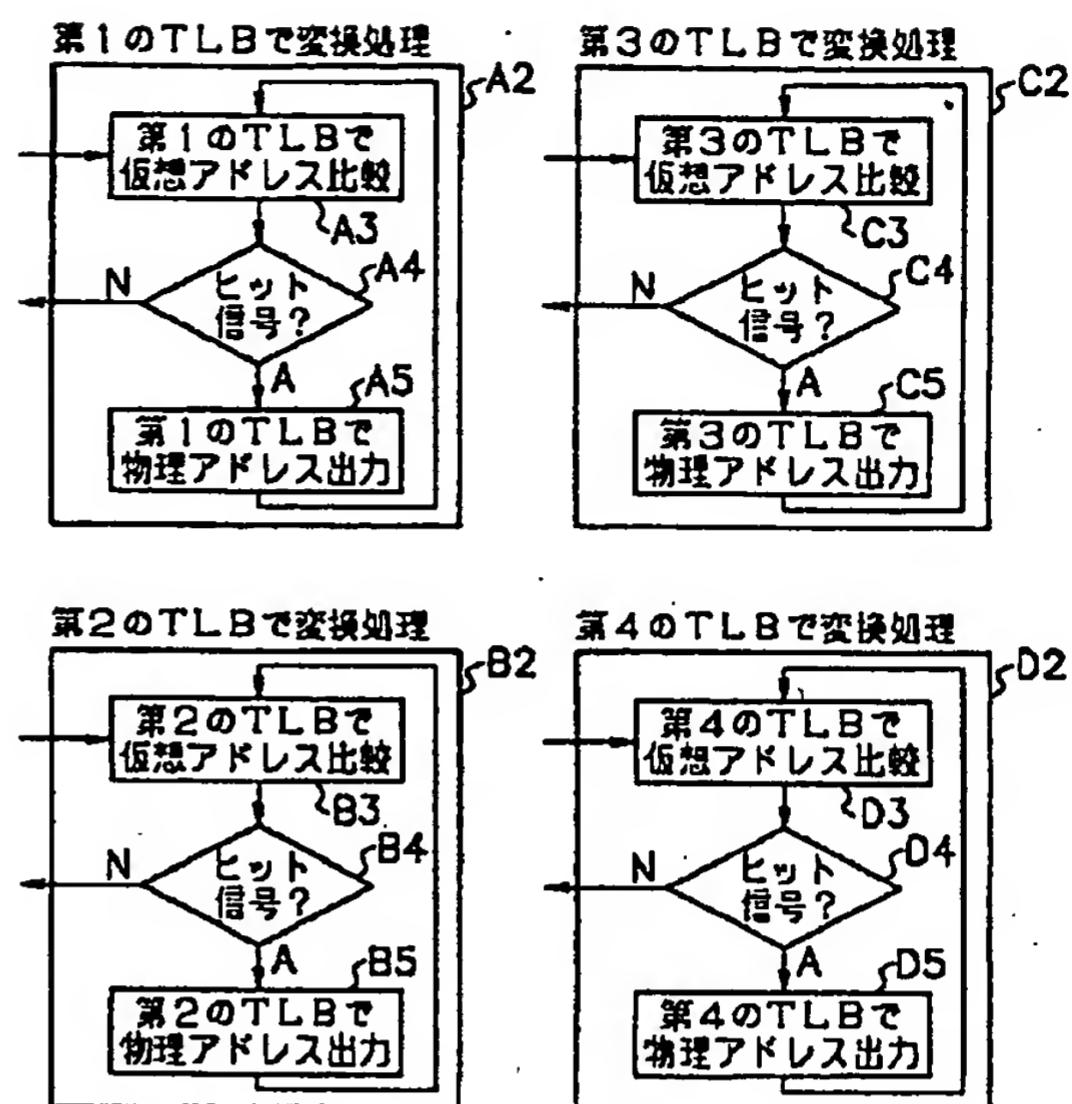
【図2】



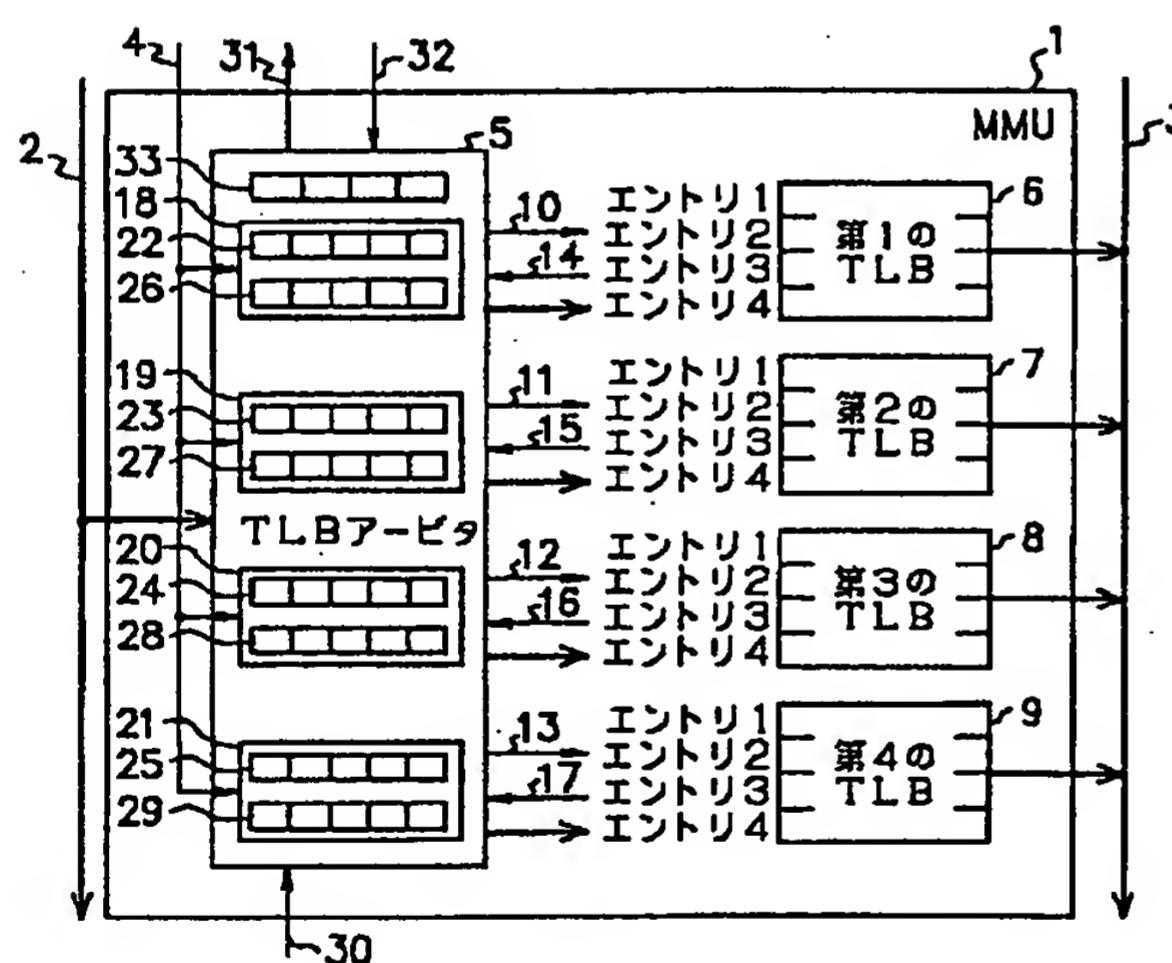
【図3】



【図4】



【図5】



【図6】

